

PAT-NO: JP401048124A  
DOCUMENT-IDENTIFIER: JP 01048124 A  
TITLE: DATA TRANSFER DEVICE  
PUBN-DATE: February 22, 1989

## INVENTOR-INFORMATION:

NAME  
MATSUSHIMA, HITOSHI

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP62205407

APPL-DATE: August 19, 1987

INT-CL (IPC): G06F005/06, H04L013/00

US-CL-CURRENT: 264/1.1

## ABSTRACT:

PURPOSE: To efficiently transfer data between interfaces different in data transfer speed by providing a data storage buffer whose memory space is divided and is assigned to plural access ports.

CONSTITUTION: In case of data transfer from plural low-speed interfaces A&sim;N to a high-speed interface, each low-speed adapter 2 accesses one assigned access port 12 of a data storage buffer 1 independently of the other low-speed adapters and writes data in one of memory spaces A&sim;N which is assigned to this access port. A high-speed adapter 3 accesses plural access

ports 12 of the buffer 11 in a prescribed order and reads out data of memory

spaces A&sim;N in order and transfers this **data to the high-speed interface.**

Data transfer from the high- speed **interface to low-speed interfaces** is

performed in accordance with reverse procedures. Thus, it is unnecessary that

plural **low-speed interfaces** are synchronized with one another, and data is

efficiently transferred between interfaces different in transfer speed.

COPYRIGHT: (C)1989, JPO&Japio

## ⑫ 公開特許公報 (A) 昭64-48124

⑯ Int.Cl.

G 06 F 5/06  
H 04 L 13/00

識別記号

303

庁内整理番号

Z-7230-5B  
B-7240-5K

⑬ 公開 昭和64年(1989)2月22日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 データ転送装置

⑮ 特願 昭62-205407

⑯ 出願 昭62(1987)8月19日

⑰ 発明者 松島 等 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 井桁 貞一

## 明細書

## 1 発明の名称

データ転送装置

## 2 特許請求の範囲

データ転送速度の異なるインターフェース間のデータ転送において、

複数のアクセス用ポート(12)を備えメモリ空間(11)を分割して該複数のアクセスポート(12)に割り当てたデータ格納用バッファ(1)と、

データ格納用バッファ(1)の一つのアクセスポート(12)にアクセスし低速インターフェースの一つとの間のデータ転送を制御する低速アダプタ(2)(…2)(…2)と、

データ格納用データバッファ(1)の複数のアクセスポート(12)に順番にアクセスし高速インターフェースとの間のデータ転送を制御する高速アダプタ(3)と、

データ格納用バッファ(1)の複数のアクセスポート(12)、低速アダプタ(2)(…2)(…2)および

高速アダプタ(3)を接続する共通バス(4)を備え、複数の低速インターフェースからのデータをそれぞれ一つのアクセスポートを経由してそれぞれに割り当てられたメモリ空間に書き込み、該複数のメモリ空間のデータを複数のアクセスポートから順番に読み出し高速インターフェースに転送し、若しくはその逆の転送を行うよう構成したことを特徴とするデータ転送装置。

## 3 発明の詳細な説明

## (概要)

データ処理装置におけるデータ転送装置に関し、データ転送速度の異なるインターフェース間のデータの受け渡しの効率化を目的とし、

複数のアクセス用ポートを備えメモリ空間を分割して該複数のアクセスポートに割り当てたデータ格納用バッファと、データ格納用バッファの一つのアクセスポートにアクセスし低速インターフェースの一つとの間のデータ転送を制御する低速アダプタと、データ格納用データバッファの複数の

アクセスポートに順番にアクセスし高速インタフェースとの間のデータ転送を制御する高速アダプタを備え、複数の低速インタフェースからのデータをそれぞれ一つのアクセスポートを経由してそれぞれに割り当てられたメモリ空間に書き込み、該複数のメモリ空間のデータを複数のアクセスポートから順番に読み出し高速インタフェースに転送し、若しくはその逆の転送を行うよう構成する。

#### (産業上の利用分野)

本発明はデータ処理装置におけるデータ転送装置に係わり、特にデータ転送速度の異なるインターフェース間のデータの受け渡しを行うデータ転送装置に関する。

#### (従来の技術)

従来、低速のデータ転送速度を持つインターフェースと高速のデータ転送速度を持つインターフェース間でデータの受け渡しを行うデータ転送装置において、その転送速度差を吸収するためには、デ

という手法が考えられている。これによれば、チャネル側からは高速の1台のデバイスが実現したように見えることになる。

#### (発明が解決しようとする問題点)

上記の複数の低速インターフェースを組み合わせて同時にデータ転送してバッファに格納する「平行転送」の手法では、格納バッファ内では複数の低速インターフェースからのデータは、1本の高速インターフェース上で連続転送するためには、順番に格納される必要があった。即ち、第5図に示すデータA1, A2, B1, B2, C1, C2は別々の低速インターフェースから送り込まれ、バッファ内でA1, B1, C1, A2, B2, C2と並ばなければならない。

このため、複数の低速インターフェースでは、データ転送の同期をとるために特別な同期信号が必要となり、磁気ディスク装置では回転の同期が必要となってくる。また何れかの低速インターフェースで転送開始が遅れたときは、他の低速インターフェースが待ち状態となり、効率的にも問題となる

ータ転送装置内にバッファメモリを用意していた。この手法によると、低速のインターフェースからのデータは一旦バッファ内に格納され一定のデータが溜ったときに高速のインターフェースの転送を開始することになる。

しかし、システム全体から見ると結局データの転送時間は低速インターフェースの処理時間に拘束されることになり、高速インターフェースの利点が低下することになっていた。例えば、磁気ディスク制御装置において、上位装置のチャネルの転送速度が高速であっても、デバイス即ち磁気ディスク装置の転送速度によってしばられ、デバイスの転送速度でしか転送できない。チャネルの転送速度の向上に追随するには磁気ディスク装置の記録密度および回転速度を上げればよいが現状では既に厳しい状態にある。

この問題を解決するため、第5図に示すように、低速インターフェースを複数組み合わせて同時にデータ転送してバッファ内にデータを格納し、高速インターフェースの転送速度に合わせる「平行転送」

ものであった。

本発明は、このような従来の問題点を解消したデータ転送装置を提供しようとするものである。

#### (問題点を解決するための手段)

第1図は、本発明のデータ転送装置の原理プロック図を示す。

図において、1はデータ格納用バッファであり、複数のアクセス用ポート12を備えており、メモリ11のメモリ空間を該複数のアクセスポート12に分割して割り当てる。

2||2||…は低速アダプタであり、データ格納用バッファ1の一つのアクセスポートにアクセスし低速インターフェースの一つとの間のデータ転送を制御する。

3は高速アダプタであり、データ格納用データバッファ1の複数のアクセスポートに順番にアクセスし高速インターフェースとの間のデータ転送を制御する。

4は共通バスであり、データ格納用バッファ1

の複数のアクセスポート、低速アダプタ 2||2||…2||および高速アダプタ 3を接続する。

#### (作 用)

複数の低速インターフェースからのデータを高速インターフェースに転送するときは、次のように動作する。

低速アダプタ 2||2||…2||は、それぞれ低速インターフェース A, B, …, Nに接続されている。各低速アダプタ 2||2||…2||は、それぞれ独立にデータ格納用バッファ A の割り当てられた一つのアクセスポート 12にアクセスし、それぞれに割り当てられたメモリ空間に書き込む。即ち、低速インターフェース A のデータはメモリ空間 A に、低速インターフェース B のデータはメモリ空間 B に書き込まれる。

低速アダプタ 2||2||…2||からアクセスポート 12へのアクセスおよびデータの書き込みは、共通バス上にアクセスポート 12のアドレスを指定してデータを転送することにより行う。

バスのアクセスポートを共通バスで接続していることにより、低速インターフェースの数等の変更に柔軟に対応できるようになっている。

#### (実施例)

以下第2図～第4図に示す実施例により、本発明をさらに具体的に説明する。

第2図は本発明の一実施例の構成を示すブロック図である。本実施例は4つの低速インターフェースと高速インターフェースの間のデータ転送を行うものである。

図において、2|| (LA||), 2|| (LA||), 2|| (LA||), 2|| (LA||) は低速アダプタである。

3 (HA) は高速アダプタである。

12|| (P||), 12|| (P||), 12|| (P||), 12|| (P||), 12n (Pn), 12n+1(Pn+1), 12n+2(Pn+2), 12n+3(Pn+3) はデータ格納用バッファ 1 のアクセスポートである。

データ格納用バッファ内のメモリ空間は、仮想

高速アダプタ 3 は、データ格納用バッファ 1 の複数のアクセスポート 12に所定の順番にアクセスし、メモリ空間 A, B, …, N のデータを順番に読み出し、高速インターフェースへ転送する。

高速インターフェースからのデータを低速インターフェースへ平行に転送する逆方向の転送の場合は、上記とは逆の手順により行われる。

即ち、高速アダプタ 3 は、データ格納用バス 1 の割り当てられたアクセスポート 12に順番にアクセスし、高速インターフェースからのデータをメモリ空間 A, B, …, N に書き込む。低速アダプタ 2||2||…, 2|| は、各々独立に適時アクセスポート 12にアクセスし、割り当てられたメモリ空間にデータがあれば読み出し低速インターフェースに転送する。

以上説明のように、複数の低速インターフェースで同期をとる必要がなく、転送速度の異なるインターフェース間を効率的にデータ転送することができる。

低速アダプタ、高速アダプタ及びデータ格納用

空間 A, B, C 及び D に分割されている。

いま、低速アダプタ L A|| (2||) はポート Pn (12n) を、低速アダプタ L A|| (2||) はポート Pn+1 (12n+1) を、低速アダプタ L A|| (2||) はポート Pn+2 (12n+2) を、低速アダプタ L A|| (2||) はポート Pn+3 (12n+3) を割り当てられているとする。また、高速アダプタ H A 3 は、ポート P|| P|| P|| P|| (12|| 12|| 12|| 12||) の4つが同時に割り当てられている。

第3図は、本発明の一実施例におけるデータ格納用バッファのアクセスポートの構成を示す図である。

図において、121 はブロックアドレスレジスタ (BAR) であり、データ格納用バッファ上のそれぞれの仮想空間の物理アドレスを指定する。本実施例では、1 ブロックは 16 K バイトとなっており、U, V, W はブロックの先頭アドレスを記憶する。ブロックアドレスレジスタ (BAR) 121 に設定する物理アドレス U, V, W は、図に示すように、連続の必要はなく、メモリの物理空間

の任意の一に指定できる。

122 は論理アドレスレジスタ (LAR) であり、下位ビットが16Kバイトのブロック内アドレス (OFFSET) となり、上位ビットがブロックアドレスポインタ (BARP) となる。

ブロックアドレスレジスタ (BAR) 121 の内容は予め初期設定として記憶される。論理アドレスレジスタ (LAR) 122 は、アダプタからアクセスの際セットされる。

124 はアクセスアドレスレジスタ (AAR) であり、メモリ11へアクセスするアドレスがセットされる。

論理アドレスレジスタ (LAR) 122 に論理アドレスがセットされると、その下位ビットOFFSET (ブロック内アドレス) はそのままアクセスアドレスレジスタ (AAR) 124 の下位にセットされ、上位ビットの BARP (ブロックアドレスポインタ) はBAR ポインタレジスタ123 にセットされてBAR 121 にアクセスし、ブロックアドレス (BLAD) を読み出し、アクセスアドレスレジスタ (AAR)

124 の上位にセットする。

125はデータバイトであり、メモリ11と共通バス4の間で、書込みデータまたは読出しデータをバッファ格納する。

各アダプタ 2||2||…は、論理アドレスレジスタ (LAR) 122 に論理アドレスを書き込むことによりメモリ11にアクセスすることができる。これによって、各アダプタは物理空間の先頭を論理0番地とし、複数の物理空間を論理連続空間としてアクセスすることができる。

第4図は、本実施例における共通バス上の転送フレームフォーマットを示す図である。

共通バス上のデータ転送は、図に示すような、コントロール部とデータ部により構成される。

コントロール部では、ソースアドレス S、データタイプ T、ディスチネーションアドレス D1, D2 (通常は D1 のみでよい) を指定する。アダプタは、コントロール部にソースアドレス S として割り当てられたポートを指定し、ディスチネーションアドレス D1 として自アダプタを指定して、転

送を要求できる。

アダプタがコントロール部に指定したポートは、バッファ内に要求されたデータがないときは、ビジ信号を上げることによって、アダプタに再要求を依頼できる。

データ部は、図に示すように、4バイトのデータからなる。

コントロール部とデータ部は、共通バス上で異なる線で転送され、従って共通バス上では4バイト単位でバイブルайн的に転送が行われる（毎サイクル転送要求が出され、毎サイクル4バイトのデータ転送が行われる）。

以下、第2図を参照して本実施例の動作を説明する。

(1)低速アダプタ (L A||～L A||) 2||～2||は、それぞれ独立に、共通バス4上にアドレス設定要求を出す。アドレス設定要求はコントロール部のソースアドレス S を自アダプタとし、データタイプ T をアドレスセットとし、ディスチネーションアドレス D1 を割り当てられたポート

(Pn ~ Pn+3) 12n~12n+3 とし、データ部に論理アドレスをセットして転送する。指定されたポートではこれを受け、LAR に論理アドレスをセットする。

(2)低速アダプタ (L A||～L A||) 2||～2||は、次いでそのポートに転送要求を出す。転送要求はコントロール部の S を自アダプタとし、T を転送データとし、D1 をそのポートとして出し、データ部に4バイトのデータを入れて転送する。指定されたポートは、LAR にセットされた論理アドレスから物理アドレスを生成してバッファメモリに4バイトのデータを書き込む。

(3)このようにして、L A|| (2||) はデータ A||～A||を、L A|| (2||) はデータ B||～B||、L A|| (2||) はデータ C||～C||、L A|| (2||) はデータ D||～D||をそれぞれ独立に、割り当てられたポートを通じて割り当てられたメモリ空間に書き込む。

(4)高速アダプタ HA (3) は、まず割り当てられたポート P|| (12||) にアドレスを設定し、転

送要求を出して、データを受け取る。引き続いて  $P \parallel P \parallel P \parallel \dots (12 \parallel 12 \parallel 12 \parallel \dots)$  へと要求を繰り返す。このようにして、最低限 4 バイトが全ての空間に入ったときに高速インターフェースへの転送を開始する。ポート  $P \parallel \dots (12 \parallel \dots)$  のあとは当然  $P \parallel \dots (12 \parallel \dots)$  に戻る。これによって、高速アダプタ HA (3) は、データ  $A \parallel B \parallel C \parallel D \parallel A \parallel \dots$  とデータ転送を行うことができる。

(5) もし、何れかのポートが、データがないためにビジィ信号を応答したならば、そのポートに対して再要求を行う。

このようにして、高速アダプタ HA (3) は、本来要求される転送速度を保持したまま転送を継続することが可能となり、低速インターフェースで N の転送速度で書き込みを行っても、高速インターフェース側では  $N \times 4$  の転送速度を待ち時間なしで実現できることとなる。

また、高速インターフェースからデータを取り込み、データ格納用バッファ経由で 4 つの低速インターフェースに送り出す場合も、同様な手法で制御

することができる。

#### (発明の効果)

以上説明のように本発明によれば、複数の低速インターフェースと高速インターフェースとの間のデータ転送を、複数の低速インターフェース間の同期を必要とせず、待ち時間なしで実現可能となり、データ処理能力の向上に及ぼす効果は大である。

#### 4 図面の簡単な説明

第 1 図は本発明の原理ブロック図、

第 2 図は本発明の一実施例の構成を示すブロック図、

第 3 図は本発明の一実施例におけるデータ格納用バッファのアクセスポートの構成を示す図、

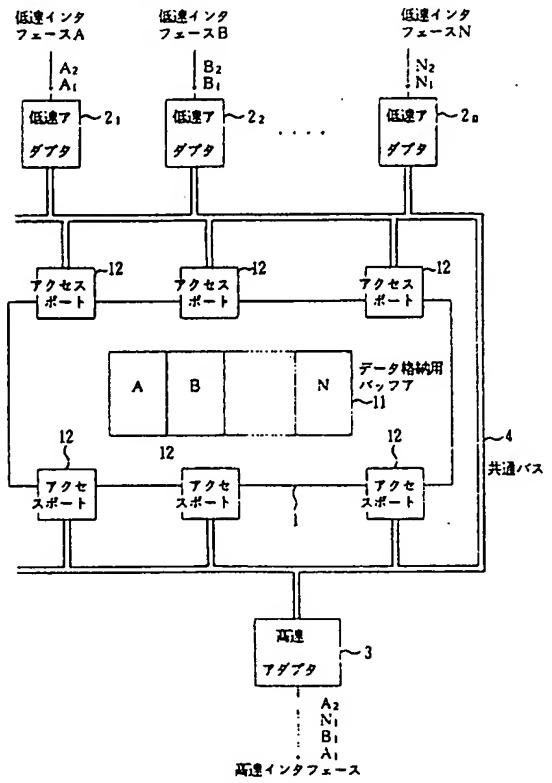
第 4 図は本発明の一実施例における共通バス上転送フレームフォーマットを示す図、

第 5 図は従来の平行転送を示す図である。

図面において、

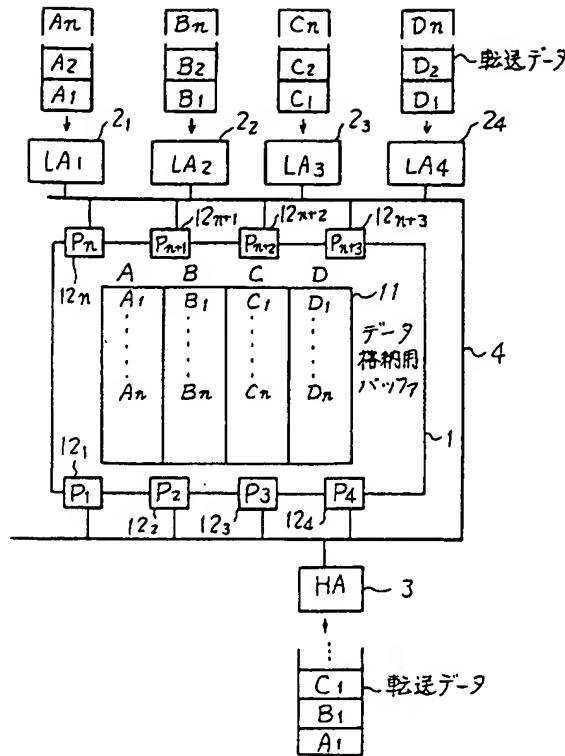
1 はデータ格納用バッファ、  
 2 ～ 21 ～ … ～ 2 は低速アダプタ ( $L_A \parallel L_A \parallel \dots \parallel L_A \parallel L_A \parallel \dots$ )、  
 3 は高速アダプタ (HA)、4 は共通バス、  
 11 はメモリ、  
 12, 121 ～ … ～ 12 はアクセスポート ( $P \parallel P \parallel \dots$ )、  
 121 はブロックアクセスレジスタ (BAR)、  
 122 は論理アドレスレジスタ (LAR)、  
 123 は BAR ポインタレジスタ、  
 124 はアクセスアドレスレジスタ (AAR)、  
 125 はデータバッファ、  
 をそれぞれ示す。

代理人 弁理士 井桁 貞一

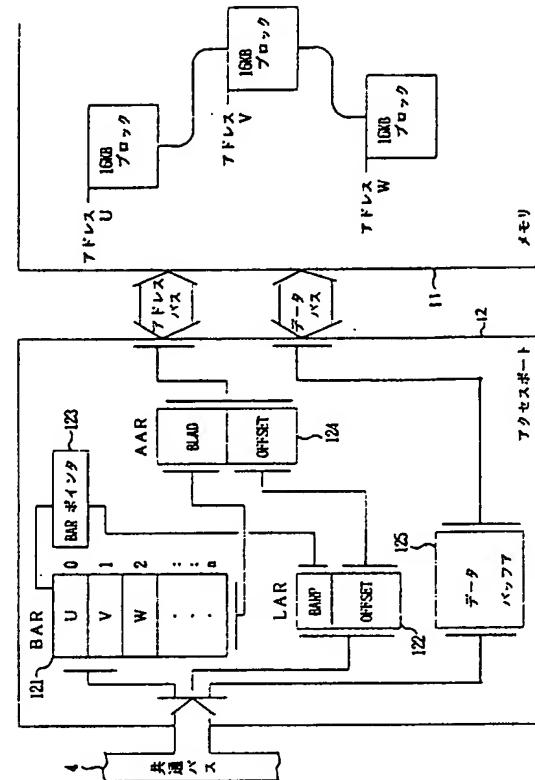


本発明の原理ブロック図

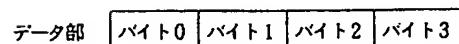
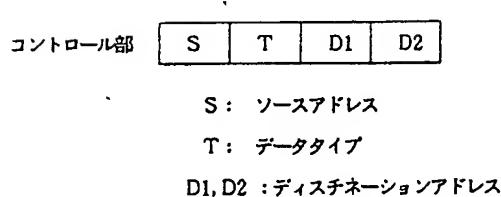
第 1 図



本発明の一実施例の構成を示すプロック図  
第 2 図

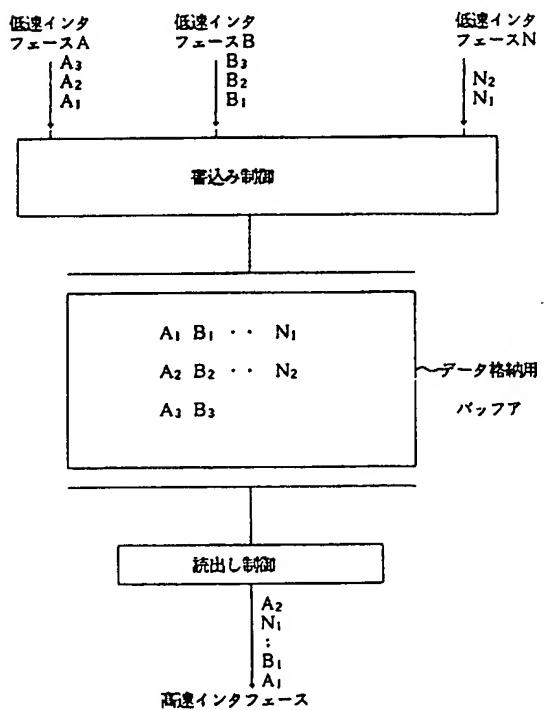


本発明の一実施例におけるデータ転送用バッファのアクセスポートの構成を示す図



本発明の一実施例における共通バス上転送フレームフォーマットを示す図

第 4 図



従来の平行転送を示す図

第 5 図

